

基于 FPGA 的超高速时间交织 ADC 后台校准技术

白文帅^{1,2}, 武 锦¹, 吴旦昱¹, 周 磊¹, 武梦龙²

(1. 中国科学院微电子研究所, 北京 100029; 2. 北方工业大学, 北京 100144)

摘 要: 针对时间交织模数转换器(TI-ADC)三项主要失配误差(采样时间间隔失配误差、偏移失配误差和增益失配误差),提出一种基于FPGA的数字后台校准技术.失配误差值可通过校准算法得出,此校准算法基于统计近似的数学方法.反馈调节被用来减少TI-ADC的三项主要失配误差.此技术采用片外校准方式,校准算法在FPGA内部完成,校准调节电路在TI-ADC内部完成.实验结果表明:TI-ADC校准后与校准前比较,平均有效位数(ENOB)和平均无杂散动态范围(SFDR)分别提高0.58和11.28dBc,验证了该后台校准技术的有效性.

关键词: 时间交织模数转换器(TI-ADC);校准技术;统计近似;反馈调节

中图分类号: TN45 **文献标识码:** A **文章编号:** 0372-2112(2018)08-2020-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.08.030

Background Calibration Technology for High Speed Time-Interleaved ADC Based on FPGA

BAI Wen-shuai^{1,2}, WU Jin¹, WU Dan-yu¹, ZHOU Lei¹, WU Meng-long²

(1. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2. Electronic and Information Engineering, North China University of Technology, Beijing 100144, China)

Abstract: Due to the time interleaved analog-to-digital converter (TI-ADC) existing three major mismatch error (the sampling time interval mismatch error, offset mismatch error and gain mismatch error), a digital background calibration technique based on FPGA is proposed. The mismatch error can be obtained by the calibration algorithm, which is based on the mathematical method of statistical approximation. Feedback regulation is used to reduce the three major mismatch errors of TI-ADC. This technology adopts off chip calibration, calibration algorithm is completed in the FPGA, and the calibration control circuit is completed in TI-ADC. The experimental results show that the average effective number (ENOB) and the average spurious free dynamic range (SFDR) are improved by 0.58 and 11.28dBc respectively. The effectiveness of the proposed background calibration technique is verified.

Key words: TI-ADC; calibration technology; statistical approximation; feedback regulation

1 引言

对于超高速模数转换器,时间交织是一种最理想的实现结构. TI-ADC降低工艺条件和电路设计限制,可成倍提高ADC的采样率,但TI-ADC各个子通道之间存在很多差异,如:偏移失配误差、增益失配误差,采样时间间隔失配误差等,这些差异严重制约交织ADC的转换精度,因此要对这些通道间的失配进行校准.

为减小时间交织ADC各通道之间的差异,各种各样的校准方法被提出,如:基于LMS-FIR(最小均方根与有限冲激响应)自适应滤波器和插值器的数字校准方

法^[1]、增加一路参考子ADC的校准方法^[2,3]、采用单一采样保持电路的方法等.但这些方法存在一些缺点,如算法过于复杂、消耗过多资源、不能同时校准时间交织ADC的三项主要失配误差^[4]、不能充分发挥TI-ADC采样率的优势等.

为解决这些问题,本文提出一种基于统计分析反馈调节的FPGA(可编程逻辑器件)片外校准技术,这种方法可以实现实时与同时校准三项主要失配误差,由于此方法不采用乘法器,只应用少量加法器,因此节省大量硬件资源消耗.此外该方法采用FPGA片外校准,因此在校准算法的选取与修改上存在很大灵活性.

此技术已在自主研发的 30Gsps 6Bit ADC^[5] 上实现校准,测试结果表明:校准后与校准前相比,平均 ENOB 和平均 SFDR 分别提高 0.58 和 11.28dBc.

2 系统介绍

校准系统框图如图 1 所示,校准结构由时间交织 ADC 与 FPGA 两部分组成.其中, n 为 6bit.

30Gsps 6Bit ADC 由前端模拟信号处理电路、四个子 ADC、数据接口、功能寄存器和 DAC(模数转换器)组成.前端模拟信号处理电路完成模拟信号到多个子 ADC(子 ADC₁、子 ADC₂、子 ADC₃、子 ADC₄)的多路复用,子 ADC 完成对输入模拟信号的交替采样,数据接口完成数字信号从芯片内到外的传送,功能寄存器完成时间交织 ADC 的功能配置,DAC 将功能寄存器输出数字信号转化为模拟信号.FPGA 由高速串行接口、同步与解扰模块和校准模块组成,高速串行接口采用赛灵思 GTH 高速串行接口,同步与解扰模块由 SPI 接口、同步与模块和数据缓存模块组成,校准模块由三项失配校准模块组成.GTH 接口完成高速串行数字信号采集,SPI 接口模块完成时间交织 ADC 功能与参数配置,同步与解扰模块同步和解扰接收的数字信号,数据缓存模块完成高速数字信号的缓存,使前后数据同步,三相失配误差校准模块完成计算三项失配误差值.

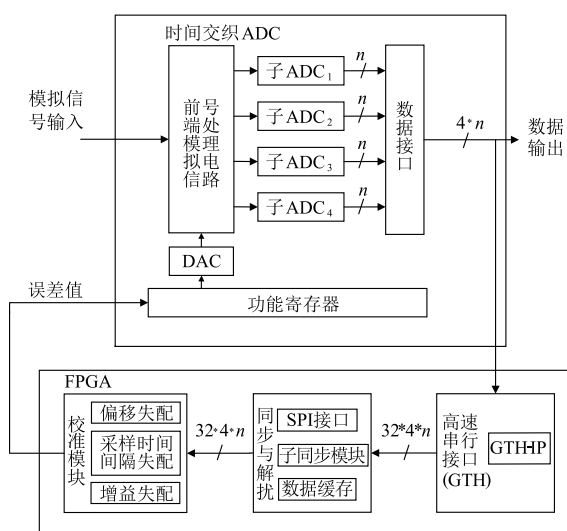


图1 系统框图

在本系统中,时间交织 ADC 采样低于子 ADC 采样频率一半的不相干正弦波,或者是三角波、方波等,得到相应的数字信号.FPGA 接收此数字信号进行处理,得到相应的实时失配误差值,此误差值输入到时间交织 ADC 的功能寄存器,功能寄存器将相应的数字失配误差值传递给 DAC、转化为模拟信号,此模拟信号用于反馈调节各路子 ADC.经过多次反馈调节,当 FPGA 得到的三项误差值收敛时,TI-ADC 的失配误差校准完成.

3 校准算法

校准算法由三部分组成:偏移失配误差,增益失配误差和采样时间间隔失配误差算法.三种失配误差通过三种算法分别计算可得.三种算法各自独立,互不影响.下面详细介绍三种算法.

3.1 偏移失配误差校准算法

偏移失配误差校准过程如图 2 所示,校准框图如图 3 所示.子 ADC₁ 偏移失配校准,时间交织 ADC 中的子 ADC₁ 采样得到图 2 中(1)的数字信号,经过运算把数字信号变换到理论上中间位置得到图 2 中(2)的数字信号.图 3 中,子 ADC₁ 采样模拟信号得到数字信号,此数字信号减去子 ADC 采样数据理论中间值($(2^n - 1)/2$),其中 $n = 6\text{bit}$,将差值累加,最终得到子 ADC₁ 的偏移失配误差值.其他各路子 ADC 偏移失配误差按照同样的方式处理可得到相应子 ADC 的偏移失配误差值.

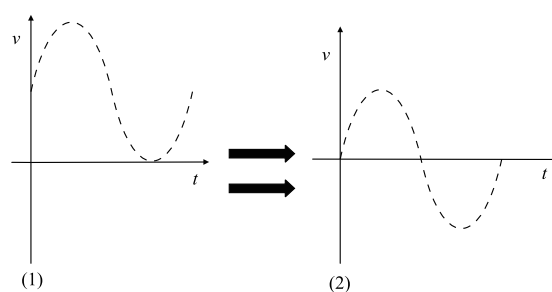


图2 偏移失配误差校准过程

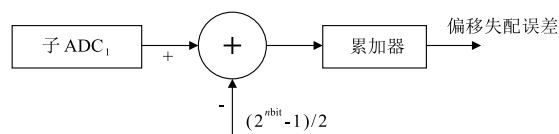


图3 偏移失配误差校准框图

$$e_{\text{offset}_A} = \lim_{N \rightarrow +\infty} \sum_{i=1}^N (A_i - A_{\text{ideal}}/2) \quad (1)$$

在公式(1)中 A_i 代表子 ADC₁ 采样得到的数字信号, $(A_{\text{ideal}}/2)$ 代表子 ADC₁ 理想采样的中间值($((2^n - 1)/2)$), $N(N = 1, 2, 3, \dots)$ 为累加次数, e_{offset_A} 为偏移失配误差值.

3.2 增益失配误差校准算法

增益失配误差的校准过程如图 4 所示,校准框图如图 5 所示.在图 4 中, V_1 、 V_2 分别代表子 ADC₁ 和子 ADC₂ 采样正弦波得到的数据, t 代表时间, V_1 - V_2 代表子 ADC₁ 的采样值减去子 ADC₂ 的采样值.在图 5 中,子 ADC₁ 和子 ADC₂ 代表时间交织 ADC 的两个子 ADC,双竖线中间加点的框图代表取绝对值运算, $((2^n - 1)/2)$ 代表子 ADC 理想采样的中间值,累加器用来累加差值.具体增益失配误差校准过程如下:子 ADC₁ 和子 ADC₂ 采样正弦信号,得到图 4(a)中的两路正弦数

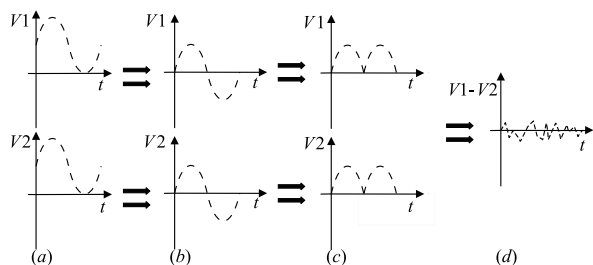


图4 增益失配误差校准过程

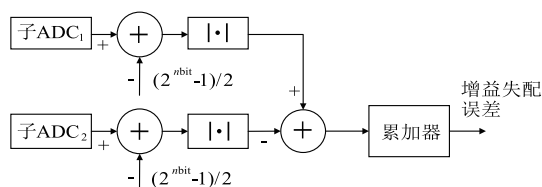


图5 增益失配误差校准框图

字信号,两路数字信号分别减去中间值 $((2^n - 1)/2)$ 得到图4(b)的数字波形,经过绝对值运算得到图4(c)的波形信号,两路数字信号相减得到图4(d)所示波形,最后差值经过累加器得到失配误差值.

$$G_{A,B} = |B_i - B_{ideal}/2| - |A_i - A_{ideal}/2| \quad (2)$$

$$e_{gain_B} = \lim_{N \rightarrow +\infty} \sum_{i=1}^N G_{A,B} \quad (3)$$

在公式(2)、(3)中,可以看到 A_i 和 B_i 分代表子ADC₁和子ADC₂采样得到的数字信号, $(A_{ideal}/2)$ 和 $(B_{ideal}/2)$ 分别代表子ADC₁和子ADC₂的理想采样中间值, $G_{A,B}$ 代表绝对值后减法运算得到的差值, e_{gain_B} 代表子ADC₂相对于子ADC₁的偏移失配误差增益失配误差的累加值, $N(N=1,2,3,\dots)$ 为累加次数.

3.3 采样时间间隔失配误差校准算法

采样时间间隔误差算法:时间交织ADC采样低于子ADC采样频率一半的非相干正弦信号、方波信号或三角波信号,运算得到子ADC采样时间间隔,利用采样值的幅度差近似等于时间差的思想,累加幅度差值得到采样时间间隔失配误差值.

图6是采样时间间隔失配示意图.图7是双路时间交织ADC的采样时间间隔失配误差校准框图.公式(4)、(5)、(6)、(7)、(8)可以证明采样时间间隔失配误差校准算法.

根据图6,在公式(4)中 S_{n1} 、 S_{n2} 和 S_{n3} 分别代表双路时间交织ADC的连续三个采样值,将采样值进行如公式(4)中的计算,得到需要的采样时间间隔差值 ΔT .为证明算法的有效性,在公式(5)中需要对 S_{n1} 和 S_{n2} 差值取平方求期望,正弦信号平方期望固定为 σ^2 .根据图6,可进一步推导公式,在公式(6)中,根据采样时间间隔失配值近似等于零的条件,得到最终推导;同理,公式(7)可被推导;公式(6)和(7)相减得到公式(8),采样

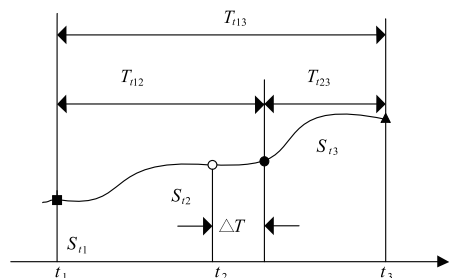


图6 采样时间间隔误差对两通道交织ADC的影响波形图

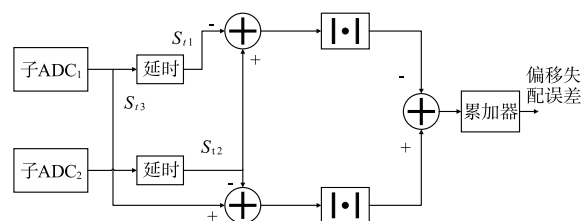


图7 两通道交织采样时间间隔校准框图

时间间隔失配误差的期望差值跟实际的采样时间间隔失配差值成正比.因此校准算法被证明.

双路时间交织ADC的采样时间间隔失配校准的实现框图如图7所示.子ADC₁和子ADC₂交织采样限定条件的模拟输入信号,将得到的数字信号延时子ADC采样周期一半的时间,得到 S_{n1} 、 S_{n2} 和 S_{n3} ,相对于子ADC₁的两个时间间隔相减,进行绝对值运算,得到子ADC₂相对于子ADC₁的间隔失配误差值.

$$|S_{n1} - S_{n2}| - |S_{n2} - S_{n3}| = \Delta T \quad (4)$$

$$\begin{aligned} E[(S_{n1} - S_{n2})^2] &= E[S_{n1}^2] + E[S_{n2}^2] - 2E[S_{n1}S_{n2}] \\ &= \sigma_{S_{n1}}^2 + \sigma_{S_{n2}}^2 - 2E[S(t1 + Ts + \Delta T)S(t1)] \end{aligned} \quad (5)$$

$$\begin{aligned} E[(S_{n1} - S_{n2})^2] &= 2\sigma_s^2 - 2R(Ts + \Delta T) \\ &= 2\sigma_s^2 - 2R(Ts) - 2\Delta T \frac{dR}{d\tau} \end{aligned} \quad (6)$$

$$E[(S_{n2} - S_{n3})^2] = 2\sigma_s^2 - 2R(Ts) + 2\Delta T \frac{dR}{d\tau} \quad (7)$$

$$E[(S_{n2} - S_{n3})^2] - E[(S_{n2} - S_{n1})^2] = -4\Delta T \frac{dR}{d\tau} \quad (8)$$

根据上述双路交织校准的原理与过程,可得到四路时间交织ADC的校准采样时间间隔示意图,如图8所示,具体实现过程框图如图9所示.图8中 S_{n1} 、 S_{n2} 、 S_{n3} 、 S_{n4} 和 S_{n5} 是四路交织ADC连续5个采样值, T 为相应采样点的时间间隔.在图9中,可看到子ADC₁、子ADC₂、子ADC₃和子ADC₄是四个子ADC,其交织采样模拟输入信号,延时子ADC采样周期一半的时间,得到连续5个采样值,它们按照双路交织的方法进行减法操作,将差值求绝对值得到时间间隔,将理想情况下相等的间隔时间做差,得到相对于子ADC₁采样时间间隔差,累加此差值得到相对于子ADC₁的采样时间间隔误差值.

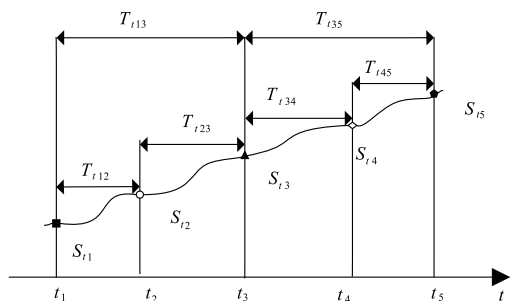


图8 采样时间间隔误差对四通道交织ADC的影响波形图

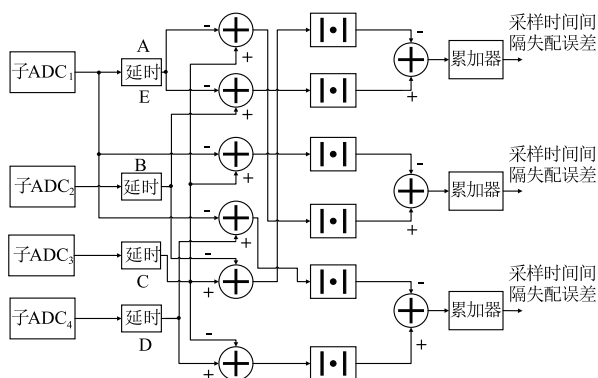


图9 四通道交织采样时间间隔校准框图

偏移失配误差、增益失配误差和采样时间间隔失配误差可分别通过上述三项算法得到,三项算法中只应用少量加法器与基本少量逻辑组成,而且在 ADC 中三项误差校准算法只需要部分数据,可以容许校准在任何时间停止与开启。偏移失配误差校准算法可用于任意 ADC 校准中,不受 ADC 的架构与工艺限制;增益失配误差校准算法能用于任意路交织的 ADC 中,不受子 ADC 架构与工艺的限制;采样时间间隔失配误差校准算法也可以用于任意路交织 ADC 中,同时,也不受子 ADC 架构与工艺的限制。

三项误差校准算法可以同时校准,但是必须遵守以下原则:当各路子 ADC 中偏移失配误差不相等时,采样时间间隔失配误差不能单独校准;同样,当时间交织 ADC 中存在不相等的增益失配误差时,采样时间间隔失配误差不能单独校准。如果违反以上原则,则校准之后, TI-ADC 性能参数极有可能会下降,即使性能参数转好,也不会达到校准后的最好结果。

4 试验结果

图 10 为校准实现的实物图,系统是由 FPGA 开发板(VC7215)和 TI-ADC 测试板(30Gsps 6Bit ADC 测试板)组成。VC7215 是 xilinx 公司的开发板,板上带有多 GTH 高速串行接口,30Gsps 6Bit ADC 芯片有四路子 ADC,每路子 ADC 输出为 6bit,总共输出 24 路 LVDS 信号。AD 测试板与 FPGA 开发板之间的连接采用 24 路

GTH 接口,算法和 ADC 的配置在 FPGA 内部完成。由于 ADC 的采样速度很快,因此在使用 ADC 前需同步 24 路信号,同步 24 路信号需要 FPGA 配置 ADC 工作在 pattern 模式,然后 FPGA 把采集到的 24 路固定码型解扰,相位对齐,完成同步,FPGA 配置 ADC 工作在正常采样模式,此时 ADC 正常工作。FPGA 计算采样得到的信号,得到失配误差值,误差值最终通过 SPI 接口写到 ADC 中,这样就完成了一次校准过程。

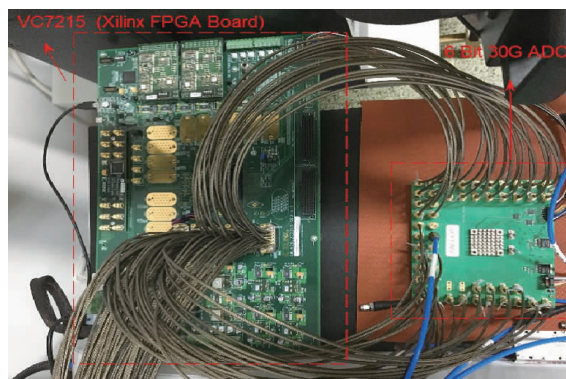


图10 实物图

在 30GHz 采样率 1GHz 正弦输入条件下, TI-ADC 校准前后频谱图如图 11、图 12。校准后与校准前相比,三项主要误差平均下降 24dB。

校准前后参数对比如表 1 所示, TI-ADC 校准前后 ENOB 和 SFDR 变化曲线如图 13 所示。试验结果显示:在 30GHz 采样率下,采样信号从 100MHz 到 10GHz,两个 ADC 主要参数(ENOB 和 SFDR)的变化曲线图;当采样信号为 1GHz 时,校准后 ENOB 比较前提高 0.77;采样信号为 6GHz 时,校准后 SFDR 比较前提高 10.81dBc。校准后比较前平均 ENOB 和平均 SFDR 分别提高 0.58 和 11.28dBc。

总体来说,校准后 TI-ADC 的性能参数比较前有很大提升。校准之后的理论结果是子 ADC 的参数平均值,计算方法如公式(9),(10),在公式(9)中, $ADC_{ENOB_cal_on_th}$ 为校准后 TI-ADC 的 ENOB 理论结果, $ADC_{ENOB_cal_on_i}$ 为校准后子 ADC_i 的 ENOB 实验结果, n 为子 ADC 的数目, $ADC_{ENOB_cal_on_th}$ 为 $ADC_{ENOB_cal_on_i}$ 的均值;公式(10)同理;从表 1 中可以看到,当采样信号为 1GHz 时,校准之后的参数达到理论值,但是当采样信号为其他值时,校准之后的参数未达到理论值;随着 TI-ADC 采样信号频率的提高, TI-ADC 要求校准逻辑可调的最小步进减小,实际上,从图 1 可知,本次校准的 30Gsps 6Bit ADC 可调的最小步进受到片内 DAC 分辨率的限制,所以才会产生上述原因。通过本文,此校准方法已经得到验证,下一步工作是集成到 TI-ADC 的内部。

$$ADC_{ENOB_cal_on_th} = \frac{1}{n} \sum_{i=1}^n ADC_{ENOB_cal_on_i} \quad (9)$$

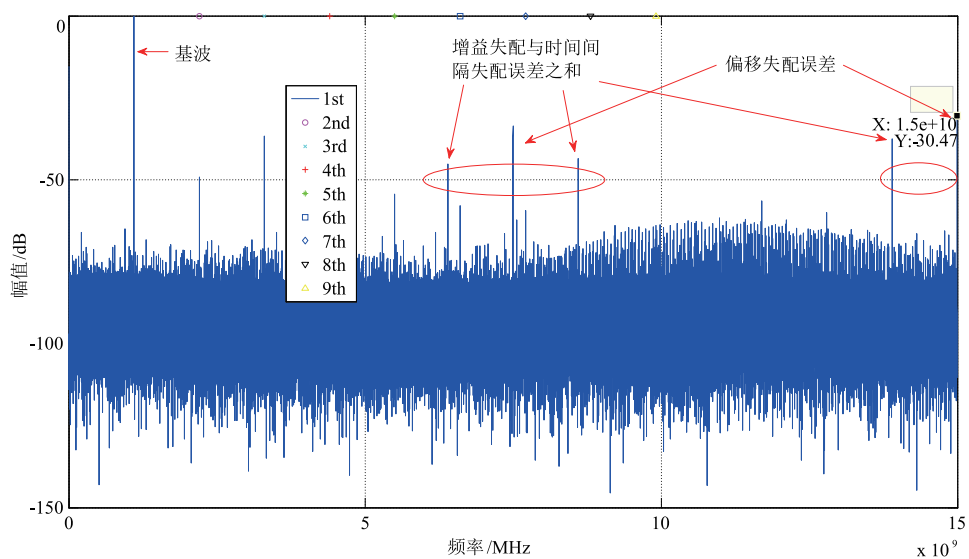


图11 30GHz采样率下1GHz正弦输入TI-ADC校准前频谱图

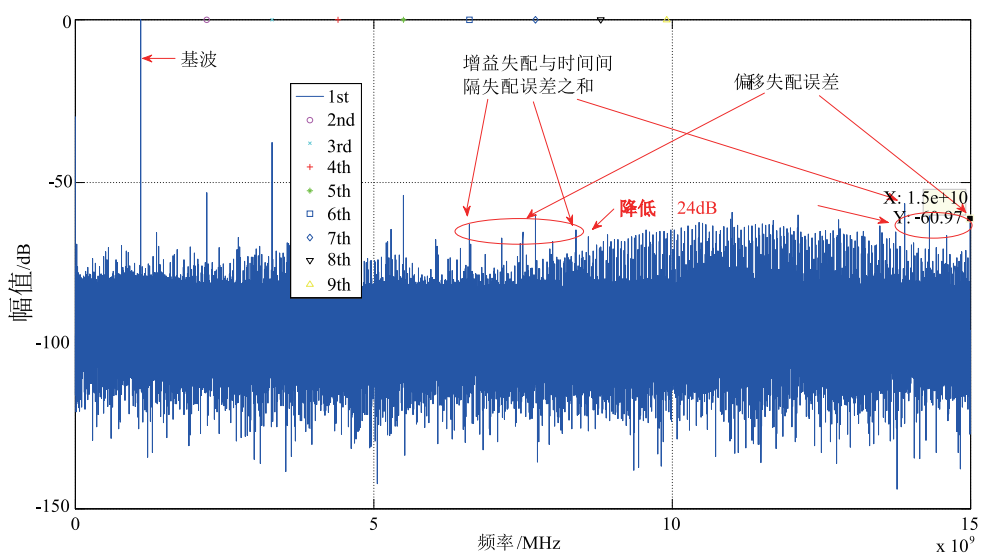


图12 30GHz采样率下1GHz正弦输入TI-ADC校准后频谱图

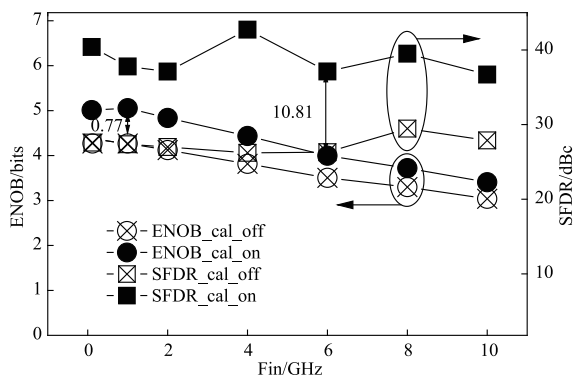


图13 校准前后参数对比图

$$ADC_{SFDR_cal_on_th} = \frac{1}{n} \sum_{i=1}^n ADC_{SFDR_cal_on_i} \quad (10)$$

表 1 校准前后参数对比表格

采样信号 频率 /GHz	校准前		校准后		理论值	
	SFDR /dBc	ENOB	SFDR /dBc	ENOB	SFDR /dBc	ENOB
0.1	28.18	4.36	40.40	5.01	40.44	5.01
1	27.35	4.26	37.79	5.05	37.82	5.06
2	26.99	4.12	37.10	4.83	37.13	4.86
4	26.21	3.81	42.72	4.43	42.98	4.52
6	26.29	3.50	37.11	3.99	37.16	4.10
8	29.45	3.29	39.49	3.71	39.99	3.84
10	27.87	3.03	36.70	3.40	36.96	3.54
均值	27.48	3.77	38.76	4.35	38.93	4.42

5 总结

针对 TI-ADC 三项主要失配误差,本文提出一种基于 FPGA 的数字后台校准技术,此技术采用数字校准算法,在片外实现实时与同时计算三项主要失配误差,并且实现实时与同时反馈调节 TI-ADC 的误差参数;此校准算法主要采用加法计算,节省大量硬件资源,降低了数字电路设计的复杂度,适合集成到芯片内部;实验结果表明:TI-ADC 校准后与校准前比较,平均有效位数(ENOB)和平均无杂散动态范围(SFDR)分别提高 0.58 和 11.28dBc,验证了该后台校准技术的有效性,提高了 TI-ADC 性能.未来借助数字电路的辅助,模拟电路设计的瓶颈可以继续获得突破,使得 TI-ADC 的速度和性能得到进一步提升.

参考文献

- [1] F Ye, P Zhang, B Yu, C Chen, Y Zhu, J Ren. A 14-bit 200-Ms/s time-interleaved ADC calibrated with LMS-FIR and interpolation filter [A]. IEEE International Conference of

Electron Devices and Solid-State Circuits [C]. Tianjin: 2011. 1-4.

- [2] K C Dyer, D H Fu, S H Lewis, P J Hurst. An analog background calibration technique for time-interleaved analog-to-digital converters [J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 1912-1919.
- [3] E Iroaga, B Murmann, L Nathawad. A background correction technique for timing errors in time-interleaved analog-to-digital converters [A]. IEEE International Symposium on Circuits and Systems [C]. Kobe, Japan: 2005. 6: 5557-5560.
- [4] D Fu, K Dyer, S Lewis, P Hurst. Digital background calibration of a 10 b 40 M sample/s parallel pipelined ADC [A]. IEEE International Solid-State Circuits Conference [C]. San Francisco: 1998. 140-141.
- [5] Danyu Wu, et al. A 30GS/s 6bit SiGe ADC with input bandwidth over 18GHz and full data rate interface [A]. IEEE Bipolar/BiCMOS Circuits and Technology Meeting [C]. New Brunswick: 2016. 90-93.

作者简介



白文帅 男,2014年毕业于北方工业大学电子信息工程学院,获得工学学士学位;2015年进入中国科学院微电子研究所联合培养;2017年毕业于北方工业大学信息与通信工程专业,获得工学硕士学位;现于法国攻读博士学位.

硕士期间主要从事超高速数模混合电路的校准与测试,先后参与 32 Gsps 6bit ADC 与 5Gsps 8bit ADC 的校准与测试,设计并实现

5Gsps 8bit ADC 自动化测试系统等工作.在该研究方向发表国际会议论文一篇;在博士期间发表国际会议论文一篇.

E-mail: baiwenshuai@ime.ac.cn



武锦(通信作者)女,2000年毕业于武汉大学物理与信息科学学院,获得理学学士学位;2003年毕业于中国科学院高能物理研究所核技术及应用专业,获得工学硕士学位;2003年7月进入中国科学院微电子研究所任助理研究员,2008年9月晋升为副研究员.2013年毕业于中国科学院大学,获得工学博士学位.现任微电子研究所微波器件与集成电路研究室副主任.

目前主要从事超高速数模混合电路、微波毫米波测试技术、微波毫米波模块设计等方面的研究工作.作为课题负责人已承担国家重大基础研究计划子课题(973项目)两项、国家重大专项03专项一项、国家重点研发计划重大科学仪器设备开发重点专项一项以及中国科学院级、北京市级等多个项目.自2009年以来带领超高速数模混合电路研究小组研制实现 5GHz 32bit DDS、低功耗 2GHz 32bit DDS、5Gsps 8bit ADC、10Gsps 8bit ADC、8 Gsps 6bit ADC/DAC、32 Gsps 6bit ADC/DAC 等多款具有国内领先水平的超高速数模混合芯片.在该研究方向一共发表论文 26 篇,其中 SCI 论文 10 篇,国际会议论文 8 篇;申请国家发明专利 20 余项.

E-mail: wujin@ime.ac.cn